

#4 2812 2100

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: KATSUYA ANZAI)
SERIAL NO.: 09/966,445)
FILED: September 28, 2001)
FOR: CONTACT BETWEEN ELEMENT TO BE)
DRIVEN AND THIN FILM TRANSISTOR)
FOR SUPPLYING POWER TO ELEMENT)
TO BE DRIVEN)

Group Art Unit:

Examiner:

RECEIVED
DEC 13 2001
Technology Center 2600

CLAIM FOR PRIORITY

The Assistant Commissioner for
Patents and Trademarks
Washington, D.C. 20231

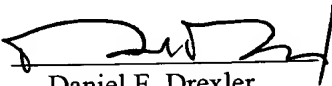
Dear Sir:

Enclosed herewith are certified copies of the Japanese Patent Application No. 2000-300982 filed on September 29, 2000 and the Japanese Patent Application No. 2001-279802 filed on September 14, 2001. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of September 29, 2000 of the Japanese Patent Application No. 2000-300982 and the filing date of September 14, 2001 of the Japanese Patent Application No. 2001-279802, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,
KATSUYA ANZAI

CANTOR COLBURN LLP
Applicant's Attorneys

By: 
Daniel F. Drexler
Registration No. 47,535
Customer No. 23413

I HEREBY CERTIFY THAT THIS CORRESPONDENCE
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS FIRST CLASS MAIL IN AN
ENVELOPE ADDRESSED TO:
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D. C. 20231

ON November 6, 2001
DATE OF DEPOSIT
Jennifer Matson
(TYPED OR PRINTED NAME OF PERSON MAILING PAPER OR FEE)
Jennifer Matson 11/6/01
SIGNATURE DATE

Date: Nov. 06, 2001
Address: 55 Griffin Road South, Bloomfield, CT 06002
Telephone: 860-286-2929

RECEIVED
DEC 14 2001
TC 2800 MAIL ROOM



Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: September 29, 2000

Application Number: Patent Application
No. 2000-300982

Applicant(s): SANYO ELECTRIC CO., LTD.

October 2, 2001

**Commissioner, Japan Patent Office
Kozo Oikawa**

Priority Certificate No. 2001-3090010

**RECEIVED
DEC 14 2001
TC 2000 MAIL ROOM**



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月29日

出 願 番 号

Application Number:

特願2000-300982

出 願 人

Applicant(s):

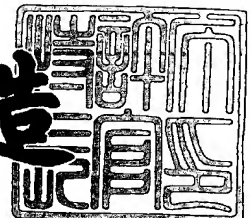
三洋電機株式会社

RECEIVED
DEC 14 2001
TC 2800 MAIL ROOM

2001年10月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3090010

【書類名】 特許願

【整理番号】 KFB1000013

【提出日】 平成12年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 H05B 33/00

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

 【氏名】 古宮 直明

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100075258

 【弁理士】

 【氏名又は名称】 吉田 研二

 【電話番号】 0422-21-2340

【選任した代理人】

 【識別番号】 100081503

 【弁理士】

 【氏名又は名称】 金山 敏彦

 【電話番号】 0422-21-2340

【選任した代理人】

 【識別番号】 100096976

 【弁理士】

 【氏名又は名称】 石田 純

 【電話番号】 0422-21-2340

【手数料の表示】

 【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型エレクトロルミネッセンス表示装置

【特許請求の範囲】

【請求項 1】 第 1 及び第 2 電極の間に発光層を備えて構成されるエレクトロルミネッセンス素子と、

ゲート信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、

駆動電源と前記エレクトロルミネッセンス素子との間に設けられ、前記スイッチング用薄膜トランジスタから供給されるデータ信号に応じ、前記駆動電源から前記エレクトロルミネッセンス素子に供給する電力を制御する素子駆動用薄膜トランジスタと、を有し、

さらに、前記駆動電源と前記素子駆動用薄膜トランジスタとの間には、前記素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタが設けられていることを特徴とするアクティブマトリクス型エレクトロルミネッセンス表示装置。

【請求項 2】 前記補償用薄膜トランジスタは、前記駆動電源と前記素子駆動用薄膜トランジスタとの間に、ダイオード接続されていることを特徴とする請求項 1 に記載のアクティブマトリクス型エレクトロルミネッセンス表示装置。

【請求項 3】 前記素子駆動用薄膜トランジスタは、互いに並列接続された複数の薄膜トランジスタから構成されることを特徴とする請求項 1 又は請求項 2 に記載のアクティブマトリクス型エレクトロルミネッセンス表示装置。

【請求項 4】 前記素子駆動用薄膜トランジスタは、前記駆動電源と前記エレクトロルミネッセンス素子との間に、互いに並列接続された複数の薄膜トランジスタから構成され、

前記補償用薄膜トランジスタは、前記並列接続された複数の薄膜トランジスタと、前記駆動電源との間にそれぞれ設けられていることを特徴とする請求項 1 又は請求項 2 に記載のアクティブマトリクス型エレクトロルミネッセンス表示装置

【請求項 5】 前記エレクトロルミネッセンス素子は、有機化合物を発光層

に用いた有機エレクトロルミネッセンス素子であることを特徴とする請求項 1 ～ 4 のいずれか一つに記載のアクティブマトリクス型エレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、エレクトロルミネッセンス表示装置、特にその画素部の回路構成トランジスタに関する。

【 0 0 0 2 】

【従来の技術】

自発光素子であるエレクトロルミネッセンス (Electroluminescence: 以下 E L) 素子を各画素に発光素子として用いた E L 表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置 (L C D) や C R T などの表示装置に代わる表示装置として注目され、研究が進められている。

【 0 0 0 3 】

また、なかでも、E L 素子を個別に制御する薄膜トランジスタ (T F T) などのスイッチ素子を各画素に設け、画素毎に E L 素子を制御するアクティブマトリクス型 E L 表示装置は、高精細な表示装置として期待されている。

【 0 0 0 4 】

図 9 は、m 行 n 列のアクティブマトリクス型 E L 表示装置における 1 画素当たりの回路構成を示している。E L 表示装置では、基板上に複数本のゲートライン G L が行方向に延び、複数本のデータライン D L 及び電源ライン V L が列方向に延びている。そして、データライン D L 及び電源ライン V L と、ゲートライン G L とで囲まれた領域が 1 画素相当領域となり、この 1 画素領域には有機 E L 素子 5 0 と、スイッチング用 T F T (第 1 T F T) 1 0、E L 素子駆動用 T F T (第 2 T F T) 2 0 及び補助容量 C s が設けられている。

【 0 0 0 5 】

第 1 T F T 1 0 は、ゲートライン G L とデータライン D L とに接続されており、ゲート電極にゲート信号 (選択信号) を受けてオンする。このときデータライ

ンDLに供給されているデータ信号は第1TFT10と第2TFT20との間に接続された補助容量Csに保持される。第2TFT20のゲート電極には、上記第1TFT10を介して供給されたデータ信号に応じた電圧が供給され、この第2TFT20は、その電圧値に応じた電流を電源ラインVLから有機EL素子50に供給する。このような動作により、各画素ごとにデータ信号に応じた輝度で有機EL素子を発光させ、所望のイメージが表示される。

【0006】

ここで、有機EL素子は、陰極と陽極との間に設けた有機発光層に電流を供給することで発光する電流駆動型の素子である。一方、データラインDLに出力されるデータ信号は、表示データに応じた振幅の電圧信号である。そこで、従来より、有機EL表示装置では、このようなデータ信号によって有機EL素子を正確に発光させる目的で、各画素には第1TFT10と第2TFT20とを設けている。

【0007】

【発明が解決しようとする課題】

上述の有機EL表示装置において、その表示品質、信頼性はまだ十分ではなく、第1及び第2TFT10、20それぞれの特性ばらつきの解消が必要である。特に、電源ラインVLから有機EL素子50に供給する電流量を制御する第2TFTの特性ばらつきは直接発光輝度にばらつきを発生させるので、そのばらつきを小さくすることが要求されている。

【0008】

また、これら第1及び第2TFT10、20を動作速度が速く、低電圧駆動の可能な多結晶シリコンTFTによって構成することが好適である。多結晶シリコンを得るためには、非晶質シリコンをレーザアニールによって多結晶化させることが行われるが、照射レーザの照射面内でのエネルギーばらつき等に起因して多結晶シリコンのグレインサイズが不均一となる。このグレインサイズのばらつき、特にTFTチャネル付近においてばらつきが起きると、TFTのオン電流特性などがばらついてしまうという問題もある。

【0009】

本発明は、上記課題に鑑みなされたものであり、有機EL素子を制御するTFTの特性ばらつきを緩和することで、各発光画素を均一な輝度で発光させることが可能なアクティブマトリクス型有機ELパネルを提供することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するためにこの発明は、第1及び第2電極の間に発光層を備えて構成されるエレクトロルミネッセンス素子と、ゲート信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源と前記エレクトロルミネッセンス素子との間に設けられ、前記スイッチング用薄膜トランジスタから供給されるデータ信号に応じ、前記駆動電源から前記エレクトロルミネッセンス素子に供給する電力を制御する素子駆動用薄膜トランジスタと、を有し、さらに、前記駆動電源と前記素子駆動用薄膜トランジスタとの間には、前記素子駆動用薄膜トランジスタと逆導電特性の補償用薄膜トランジスタが設けられていることを特徴とする。

【0011】

このような逆導電特性の補償用薄膜トランジスタにより、素子駆動用薄膜トランジスタとで、特性シフトのばらつきを吸収しあうことができるため、個々のトランジスタのばらつきを全体として緩和でき、特性ばらつきによるエレクトロルミネッセンス素子における発光輝度ばらつきを防止できる。

【0012】

また本発明の他の特徴は、前記補償用薄膜トランジスタは、前記駆動電源と前記素子駆動用薄膜トランジスタとの間に、ダイオード接続されていることである。

【0013】

これにより補償用薄膜トランジスタについて特別な制御信号を供給する必要なく素子駆動用薄膜トランジスタの特性ばらつきを補償することができる。

【0014】

本発明の他の特徴は、上記表示装置において、前記素子駆動用薄膜トランジスタは、互いに並列接続された複数の薄膜トランジスタから構成されることである。

【 0 0 1 5 】

本発明のさらに別の特徴は、上記素子駆動用薄膜トランジスタが、前記駆動電源と前記エレクトロルミネッセンス素子との間に、互いに並列接続された複数の薄膜トランジスタから構成され、前記補償用薄膜トランジスタは、前記並列接続された複数の薄膜トランジスタと、前記駆動電源との間にそれぞれ設けられていることである。

【 0 0 1 6 】

このように素子駆動用薄膜トランジスタを並列に複数設けることで、個々のトランジスタに特性ばらつきが発生しても、並列接続されたトランジスタの全体の特性に対する影響を緩和することができる。このため、E L 素子に対してばらつきが少なく電流を供給することができる。さらに、補償用薄膜トランジスタについてもこれを複数とすれば、個々のトランジスタの特性のばらつきが画素トランジスタ全体の特性に与える影響を低減でき、E L 素子の均一輝度での発光が容易となる。

【 0 0 1 7 】

本発明の他の特徴は、前記エレクトロルミネッセンス素子が、有機化合物を発光層に用いた有機エレクトロルミネッセンス素子であることである。このような有機E L 素子では、高輝度かつ発光色、材料の選択範囲が広いが、電流駆動であるから供給電流量のばらつきが発光輝度のばらつきに影響を及ぼすが、本発明のような画素の回路構成によれば、供給電流量を均一に維持することが容易である。

【 0 0 1 8 】

【発明の実施の形態】

以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【 0 0 1 9 】

図1は、本発明の実施形態に係るm行n列のアクティブマトリクス型E L 表示装置における1画素当たりの回路構成を示している。図示するように各画素は、

行方向に延びるゲートラインGLと、列方向に延びるデータラインDL及び電源ラインVLとで囲まれる領域に構成され、有機EL素子50、スイッチング用TFT（第1TFT）10、素子駆動用TFT（第2TFT）20及び補助容量Csを備える。本実施形態では、さらに、導電特性が該第2TFT20と逆の補償用TFT30が電源ラインVLと第2TFT20との間に挿入されている。この補償用TFT30は、ゲートと、ソース又はドレインの一方とが接続されてダイオード接続されており、該ダイオードが電源ラインVLと該第2TFT20との間に順方向に接続されている。よって、特別な制御信号を供給せずに動作させることが可能となっている。

【0020】

第1TFT10は、ゲート信号をそのゲートに受けてオンし、これにより、第1TFT10と第2TFT20と間に接続された補助容量CsにデータラインDLに供給されているデータ信号が保持され、補助容量Csの一方電極電位が該データ信号に等しくなる。第2TFT20は、電源ラインVLと、有機EL素子（素子の陽極）50との間に設けられ、そのゲートに印加されるデータ信号の電圧値に応じた電流を電源ラインVLから有機EL素子50に供給するように動作する。図1に示す例では、第1TFT10には高速応答可能なnch-TFTが用いられ、第2TFT20にはpch-TFTが用いられている。

【0021】

補償用TFT30には、該第2TFT20と逆極性のnch-TFTが用いられており、第2TFT20のI（電流）-V（電圧）特性が変動した場合、ちょうど逆方向にそのI-V特性が変動し、第2TFT20の特性変動を補償する。

【0022】

図2は、能動層に多結晶シリコンを用いたnch-TFT及びpch-TFTのI-V特性を示している。nch-TFTは、ゲートへの印加電圧が所定の性電圧（+V_{th}）以上になると電流値が急激に上昇し、一方のpch-TFTはゲートへの印加電圧が所定の負電圧（-V_{th}）以下になると電流値が急激に上昇する。ここで、例えば同一基板上に形成されたnch-TFTとpch-TFTとは、nch-TFTの閾値+V_{th}が大きくなる方向、つまり、図2におい

て右にシフトするように変動した場合、 $pch-TFT$ の閾値 $-V_{th}$ は、同程度だけ図2の右側にシフトする。反対に $nth-TFT$ の閾値 $+V_{th}$ が左にシフトするときは、 $pth-TFT$ の閾値 $-V_{th}$ も左側にシフトする。例えば、製造条件のばらつき等によって、図1の第2TFT20に用いられている $pch-TFT$ の $-V_{th}$ が右ずれた場合、従来であれば同一条件化において有機EL素子50に供給される電流量が直ちに減少してしまう。しかし、本実施形態では、該第2TFT20と電源ラインVLとの間に設けられている $nch-TFT$ からなる補償用TFT30の流す電流量が多くなる。

【0023】

本実施形態では、図1に示すように、互いに逆極性からなる第2TFT20と補償用TFT30とが電源ラインVLと有機EL素子50との間に設けられているので、2つのTFTは、常時、互いに流す電流量を補償するように釣り合うことになる。もちろん、補償用TFT30の存在しない図9のような従来回路構成よりも本実施形態の回路構成では、補償用TFT30が存在する分、有機EL素子50に供給可能な最大電流値は減少する。しかし、人間の目は、高輝度側における識別感度が、中間輝度における感度に比較して非常に低いため、最大供給電流値が多少減少しても表示品質には、ほとんど影響を与えない。その一方で、各画素において、第2TFT20と補償用TFT30とが互いに流し出す電流を調整しあうので、画素間における有機EL素子50への供給電流量のばらつきを低減することが可能となる。

【0024】

次に、図3を参照して、本実施形態の回路構成によって実現される効果について説明する。図3上段は、図1に示す本実施形態の画素回路構成によって有機EL素子を発光させた場合、図3下段は、図9に示す従来の画素回路構成によって有機EL素子を発光させた場合の印加電圧（データ信号）と発光輝度との関係の一例を示している。図3の設定は印加電圧（データ信号）8Vのときが有機EL素子に対する要求最大輝度としており、8V～10Vの間で階調表示が行われている場合を例に挙げている。また、図3の上段、下段の各3つのサンプルは、異なる製造条件下でそれぞれ図1及び図9の回路構成の有機ELパネルを形成した

場合、つまり画素部の T F T の特性を故意にばらつかせた場合の発光輝度特性である。

【 0 0 2 5 】

図 3 から明らかなように、従来の回路構成では、画素部 T F T の特性が異なる 3 つのサンプルにおいて、設定されたデータ信号電圧範囲 8 V ~ 1 0 V において輝度特性が大きく変化しているのに対し、本実施形態の回路構成では、視感されない高輝度領域での特性が異なるだけで、3 つのサンプルの中間調領域での輝度特性差は非常に小さい。従って、各画素を本実施形態のような回路構成とすることで、T F T、特に大きな影響を及ぼす E L 素子駆動用 T F T 2 0 の特性がばらついても、これと逆極性の補償用 T F T 3 0 の存在により、そのばらつきを補償することが可能であり、有機 E L 素子の発光輝度のばらつきを抑えることが可能となる。

【 0 0 2 6 】

図 4 は、本実施形態の回路構成の他の例を示している。上述の図 1 と相違する点は、n c h - T F T を用いて第 2 T F T 2 2 が構成され、また、補償用 T F T 3 2 には、ダイオード接続された p c h - T F T を用いている点である。このような構成によっても第 2 T F T 2 2 における特性ばらつきを補償用 T F T 3 2 で補償することができる。

【 0 0 2 7 】

図 5 は、本実施形態の回路構成のさらに別の例を示している。図 1 の回路構成と相違する点は、第 2 T F T が複数並列して補償用 T F T 3 0 と有機 E L 素子 5 0 との間に設けられていることである。なお、T F T の極性は、図 1 と同様に、第 2 T F T 2 4 が p c h、補償用 T F T 3 0 が n c h である。2 つの第 2 T F T 2 4 は、そのゲートが共に、第 1 T F T 1 0 及び補助容量 C s の第 1 電極側に接続され、各ソースは補償用 T F T 3 0 に接続され、ドレインが有機 E L 素子 5 0 に接続されている。このように第 2 T F T 2 4 を並列して設けることにより、第 2 T F T の特性ばらつきによる有機 E L 素子への供給電流ばらつきをさらに低減することが可能となる。

【 0 0 2 8 】

ここで、2つの第2 TFT 24それぞれの流す電流値目標を i とすると、当然、2つの第2 TFT 24の合計目標電流値は $2i$ となる。ばらつきにより、例えば一方の第2 TFT 24の電流供給能力が $i/2$ になってしまっても、他方の第2 TFT 24が i だけ電流を流せば、目標 $2i$ に対し、 $(3/2)i$ を有機EL素子に供給することができる。また、最悪一方のTFTの電流供給能力が0になったとしても、図5の例ならば、他方のTFTにより電流 i を有機EL素子に供給することが可能である。単一のTFTで第2 TFT 24を構成した場合、これが電流供給能力0になると、その画素は欠陥になることと比較すると、その効果は格段に大きい。

【0029】

また、本実施形態の各TFTは、レーザアニール処理により $a-Si$ を多結晶化するが、複数の第2 TFT 24を並列して設ける場合、各第2 TFT 24の能動領域に同時にレーザが照射されないようレーザ走査方向に対してその形成場所をずらすなどの工夫をすることが容易である。そして、そのような配置とすることで、全ての第2 TFT 24が欠陥となる可能性を格段に低下させることができ、レーザアニールに起因した特性ばらつきを最小限度に抑えることが可能となる。その上、上述のように、第2 TFT 24と電源ラインVLとの間に補償用TFT 30を設けているので、そのアニール条件等のばらつきにより第2 TFT 24の閾値にシフトが生じて、補償用TFT 30によってこれを緩和することができる。

【0030】

図6は、本実施形態のさらに別の画素回路構成を示している。上述の図5の構成と相違する点は、第2 TFT 24だけでなく、補償用TFTも複数設けられ、各補償用TFT 34がそれぞれ電源ラインVLと第2 TFT 24との間に設けられている点である。補償用TFT 34についても図6のように複数とすれば、各補償用TFT 34に発生する電流供給能力のばらつきを全体として緩和することができ、有機EL素子50への供給電流能力のばらつきをより確実に低減させることが可能となる。

【0031】

図 7 は、上記図 6 のような回路構成となる有機 E L 表示装置の平面構成の一例を示している。また図 8 (a) は、図 7 の A - A 線に沿った概略断面、図 8 (b) は、図 7 の B - B 線に沿った概略断面、図 8 (c) は、図 7 の C - C 線に沿った概略断面を示している。なお、図 8 において、同時に形成される層 (膜) には機能の異なるものをのぞき基本的に同一符号を付してある。

【 0 0 3 2 】

図 7 に示すように、行方向に延びるゲートライン G L と列方向に延びる電源ライン V L とデータライン D L に囲まれた領域が 1 画素領域でありこの領域内に、第 1 T F T 1 0、補助容量 C s、2 つの p c h の第 2 T F T 2 4、電源ライン V L と該第 2 T F T 2 4 との間にダイオード接続されて設けられた n c h の 2 つの補償用 T F T 3 4、そして、第 2 T F T 2 4 のドレインと接続された有機 E L 素子 5 0 が配置されている。なお、図 7 の例では、より高精細なカラー表示装置を実現するため、R、G、B の画素が各行ごとにその配置位置がずれたいわゆるデルタ配列が採用されているので、データライン D L 及び電源ライン V L は、一直線状ではなく、行ごとに位置のずれた画素の間隙をぬうように列方向に延びている。

【 0 0 3 3 】

各画素領域において、ゲートライン G L とデータライン D L との交差部近傍には、第 1 T F T 1 0 が形成されている。能動層 6 には、レーザアニール処理によって a - S i を多結晶化して得た p - S i が用いられ、この能動層 6 は、ゲートライン G L から突出したゲート電極 2 を 2 回跨ぐパターンとなっており、図 6 では、シングルゲート構造で示しているが、回路的にはデュアルゲート構造となっている。能動層 6 は、ゲート電極 2 を覆って形成されたゲート絶縁膜 4 上に形成されており、ゲート電極 2 の直上領域がチャネル、その両側には、不純物がドーピングされたソース領域 6 S、ドレイン領域 6 D が形成されている。第 1 T F T 1 0 は、ゲートライン G L に出力される選択信号に高速応答することが望まれるから、ここで、ソースドレイン領域 6 S、6 D には、リン (P) などの不純物がドーピングされ、n c h - T F T として構成されている。

【 0 0 3 4 】

第1TFT10のドレイン領域6Dは、第1TFT10全体を覆って形成される層間絶縁膜14の上に形成されたデータラインDLと該層間絶縁膜14に開口されたコンタクトホールで接続されている。

【0035】

この第1TFT10のソース領域6Sには、補助容量Csが接続されている。この補助容量Csは、第1電極7と第2電極8とが層間にゲート絶縁膜4を挟んで重なっている領域に形成されている。第1電極7は、図7においてゲートラインGLと同様行方向に延びており、かつゲートと同一材料から形成された容量ラインSLと一体で形成されている。また、第2電極8は、第1TFT10の能動層6と一体で、該能動層6が第1電極7の形成位置まで延出して構成されている。第2電極8は、コネクタ42を介して第2TFT24のゲート電極25に接続されている。

【0036】

2つのpchの第2TFT24と、2つのnchの補償用TFT34の断面構成は、図8(b)のようになっている。これらの第2TFT及び補償用TFT24, 34は、電源ラインVLに沿った方向に、各TFT毎に島状にパターニングされた半導体層16を各能動層として利用している。なお、この半導体層16は、第1TFT10の能動層6と同時に形成されたものであり、レーザアニール処理により、a-Siが多結晶化されて形成された多結晶シリコンが用いられている。

【0037】

図8(b)の両端に位置する補償用TFT34は、そのドレイン領域が層間絶縁膜14に開口されたコンタクトホールを介し、それぞれ同じ電源ラインVLに接続されている。また、補償用TFT34のチャネル領域の直下にはゲート絶縁膜4を挟んでゲート電極35が配されている。このゲート電極35は、ゲートラインGLと同一材料で、同時に形成された層であるが、図7に示すようにコンタクトホールにおいて、電源ラインVLと接続されている。従って、この補償用TFT34は、図6の回路図に示したように、ゲートとソースが共に電源ラインVLに接続されたダイオードを構成している。また、この補償用TFT34のドレ

イン領域は、p c h T F T から構成される第 2 T F T 2 4 のソース領域と離間配置されており、コンタクト配線 4 3 によって互いにそれぞれ接続されている。

【 0 0 3 8 】

第 2 T F T 2 4 の各ゲート電極 2 5 は、補償用 T F T 3 4 のゲート電極 3 5 と同様、ゲートライン G L と同一材料で同時に形成された導電層であり、補助容量 C s の第 2 電極 8 にコネクタ 4 2 を介して接続され、該補助容量 C s の形成領域から電源ライン V L に沿って延び、さらに能動層 1 6 の下に延びており、2 つの第 2 T F T 2 4 の各ゲート電極 2 5 を構成している。

【 0 0 3 9 】

有機 E L 素子 5 0 は、例えば図 8 (c) のような断面構造を備えており、上述のような各 T F T が形成された後、上面平坦化の目的で、基板全面に形成された平坦化絶縁層 1 8 の上に形成されている。この有機 E L 素子 5 0 は、陽極（透明電極） 5 2 と、最上層に各画素共通で形成された陰極（金属電極） 5 7 との間に有機層が積層されて構成されている。この陽極 5 2 は、第 2 T F T 2 4 のソース領域とコネクタ 4 0 を介して接続されている。また有機層は、陽極側から、例えば第 1 ホール輸送層 5 3、第 2 ホール輸送層 5 4、有機発光層 5 5、電子輸送層 5 6 が順に積層されている。一例として、第 1 ホール輸送層 5 2 は、

MTDATA:4,4',4'-tris(3-methylphenylphenylamino)triphenylamine、

第 2 ホール輸送層 5 4 は、

TPD:N,N'-diphenyl-N,N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamine、

有機発光層 5 5 は、R、G、B の目的とする発光色によって異なるが、例えば、キナクリドン（Quinacridone）誘導体を含む BeBq₂:bis(10-hydroxybenzo[h]quinolinato)beryllium を含み、

電子輸送層 5 6 は、BeBq から構成される。また、図 8 (c) に示す例では、有機 E L 素子 5 0 は、I T O (Indium Tin Oxide) などからなる陽極 5 2 と有機発光層 5 5 以外の各層（5 3、5 4、5 6 及び 5 7）は各画素共通で形成されている。但し、もちろんこのような構成には限られない。

【 0 0 4 0 】

以上のような構造の画素において、ゲートライン G L に選択信号が印加される

と、第1 T F T 1 0 がオンし、データライン D L の電位と、補助容量 C s の第2 電極 8 に接続されたそのソース領域の電位が等しくなる。第2 T F T 2 4 のゲート電極 2 5 には、データ信号に応じた電圧が供給され、第2 T F T 2 4 は、その電圧値に応じて電源ライン V L から補償用 T F T 3 4 を介して供給される電流を有機 E L 素子 5 0 の陽極 5 2 に供給する。このような動作により、各画素ごとにデータ信号に応じた電流を正確に有機 E L 素子 5 0 に供給することができ、ばらつきのない表示が可能となる。

【 0 0 4 1 】

図 7 に示すように、電源ライン V L と有機 E L 素子 5 0 との間に補償用 T F T 3 4 と第2 T F T 2 4 とがこの順に複数系列（ここでは2 系列）設けられているので、一方の系でばらつきによる特性シフトや欠陥などが発生しても、正常な特性の他方の系が存在することで、複数系列の合計決まる供給電流量のばらつきを緩和することが可能としている。

【 0 0 4 2 】

また、図 7 に示す平面配置では、共に能動層がレーザアニール処理によって多結晶化された多結晶シリコン層が用いられているが、このアニール処理は、一例として図の行方向に長いレーザビームを列方向に走査して行う。このような場合にも、第1 T F T 1 0 のチャンネル向きと、第2 及び補償用 T F T 2 4 , 3 4 の各能動層長さチャンネル向きとは一致せず、また形成位置が第1 と第2 T F T 1 0 , 2 4 とで離れている。このため、レーザアニールによって、第1 及び第2 T F T 1 0 , 2 4 、さらには第2 及び補償用 T F T 2 4 , 3 4 に同時不具合が生ずることを防止可能である。

【 0 0 4 3 】

なお、第1 T F T 1 0 、第2 T F T 2 4 及び補償用 T F T 3 4 のいずれも、ボトムゲート構造として説明したが、トップゲート構造であってもよい。

【 0 0 4 4 】

【発明の効果】

以上説明したように、この発明においては、逆導電特性の補償用薄膜トランジスタを設けることで、各画素に形成される個々のトランジスタの特性のばらつき

によるEL素子への供給電流量のばらつきを全体として緩和でき、EL素子における発光輝度ばらつきを防止して、画面内で均一な表示が可能な高品質表示装置を実現できる。

【図面の簡単な説明】

【図1】 本発明の実施形態のアクティブマトリクス型有機EL表示装置の1画素あたりの回路構成を示す図である。

【図2】 TFTのI-V特性を示す図である。

【図3】 本発明及び従来の回路構成によって実現される効果を示す図である。

【図4】 本発明の実施形態のアクティブマトリクス型有機EL表示装置の1画素あたりの別の回路構成を示す図である。

【図5】 本発明の実施形態のアクティブマトリクス型有機EL表示装置の1画素あたりの別の回路構成を示す図である。

【図6】 本発明の実施形態のアクティブマトリクス型有機EL表示装置の1画素あたりのさらに別の回路構成を示す図である。

【図7】 図6に示す回路構成を備えた本実施形態に係るアクティブマトリクス型有機ELパネルの平面構成図である。

【図8】 図7のA-A、B-B、C-C線に沿った断面構成を示す図である。

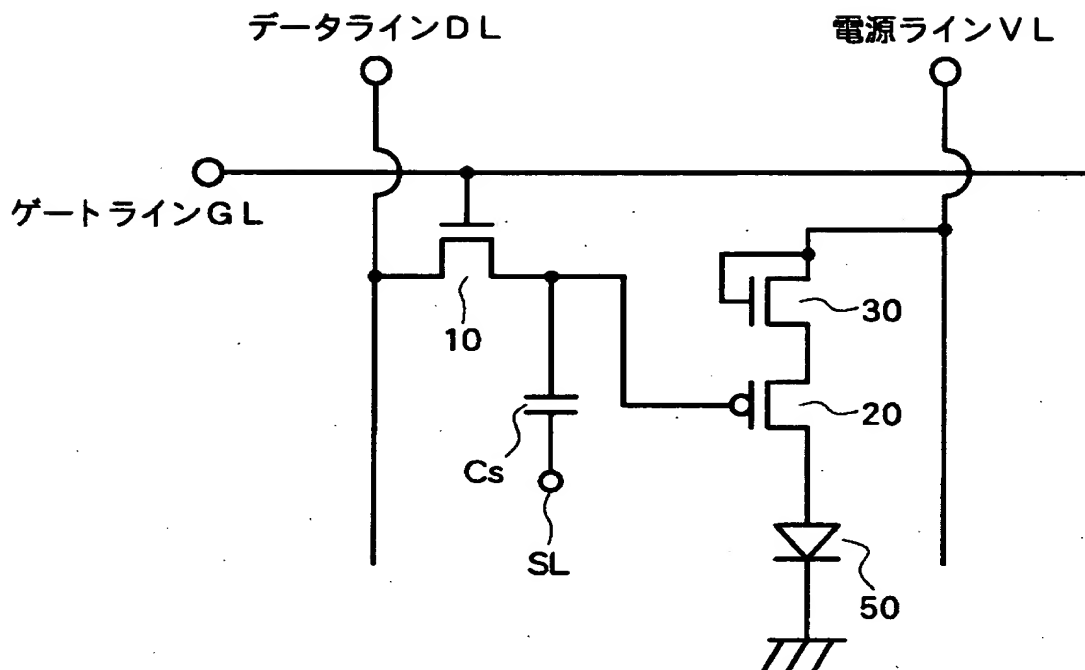
【図9】 従来のアクティブマトリクス型有機EL表示装置の1画素の回路構成を示す図である。

【符号の説明】

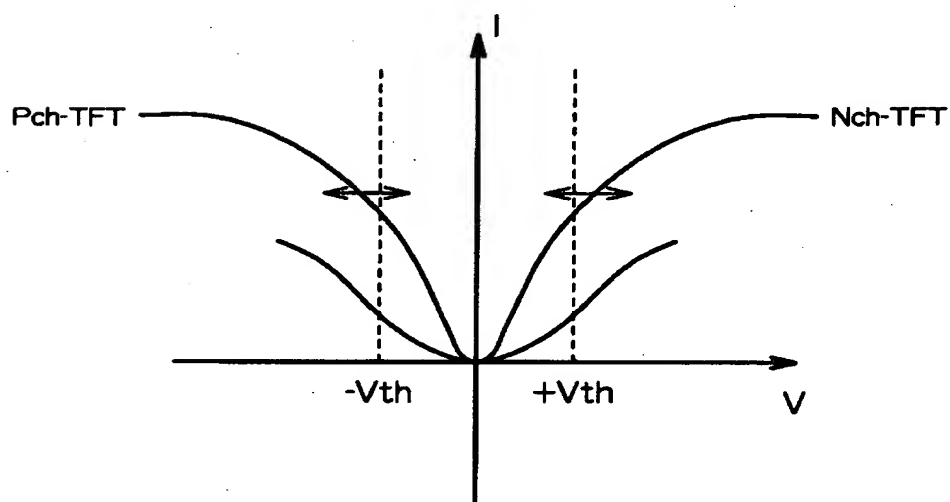
1 基板（透明基板）、2, 25, 35 ゲート電極、4 ゲート絶縁膜、6, 16 能動層（p-si膜）、10 第1TFT（スイッチング用TFT）、14 層間絶縁膜、18 平坦化絶縁層、20, 22, 24 第2TFT（素子駆動用TFT）、30, 32, 34 補償用TFT、40, 42 コネクタ、50 有機EL素子、52 陽極、53 第1ホール輸送層、54 第2ホール輸送層、55 有機発光層、56 電子輸送層、57 陰極、GL ゲートライン、VL 電源ライン、DL データライン。

【書類名】 図面

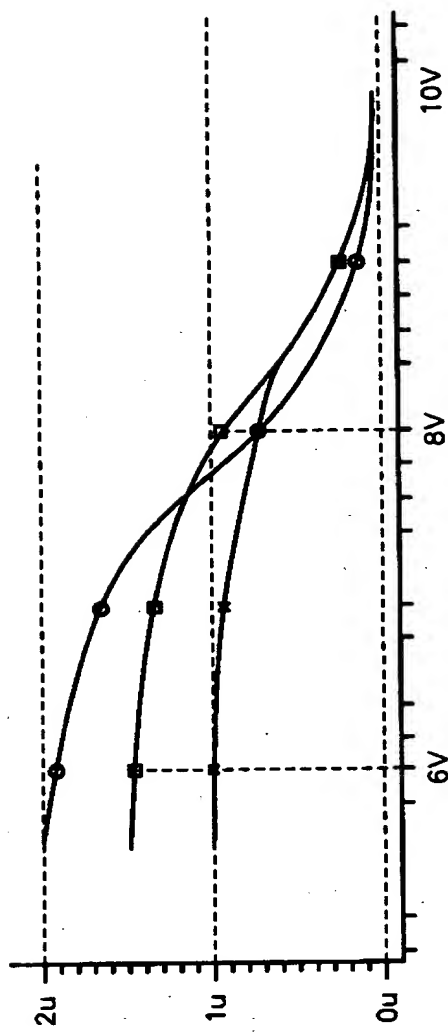
【図 1】



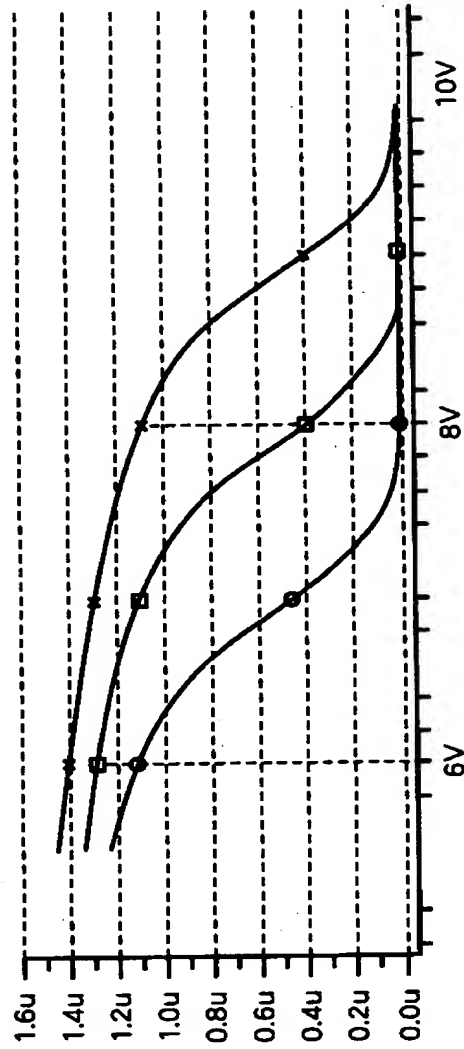
【図 2】



【図3】

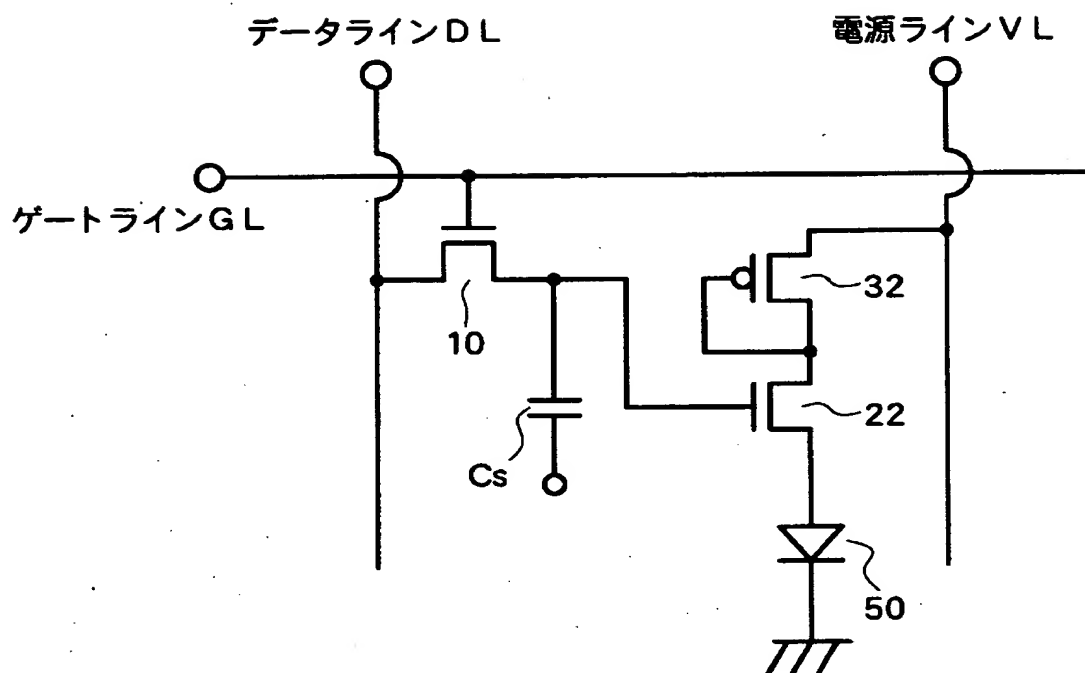


(a)

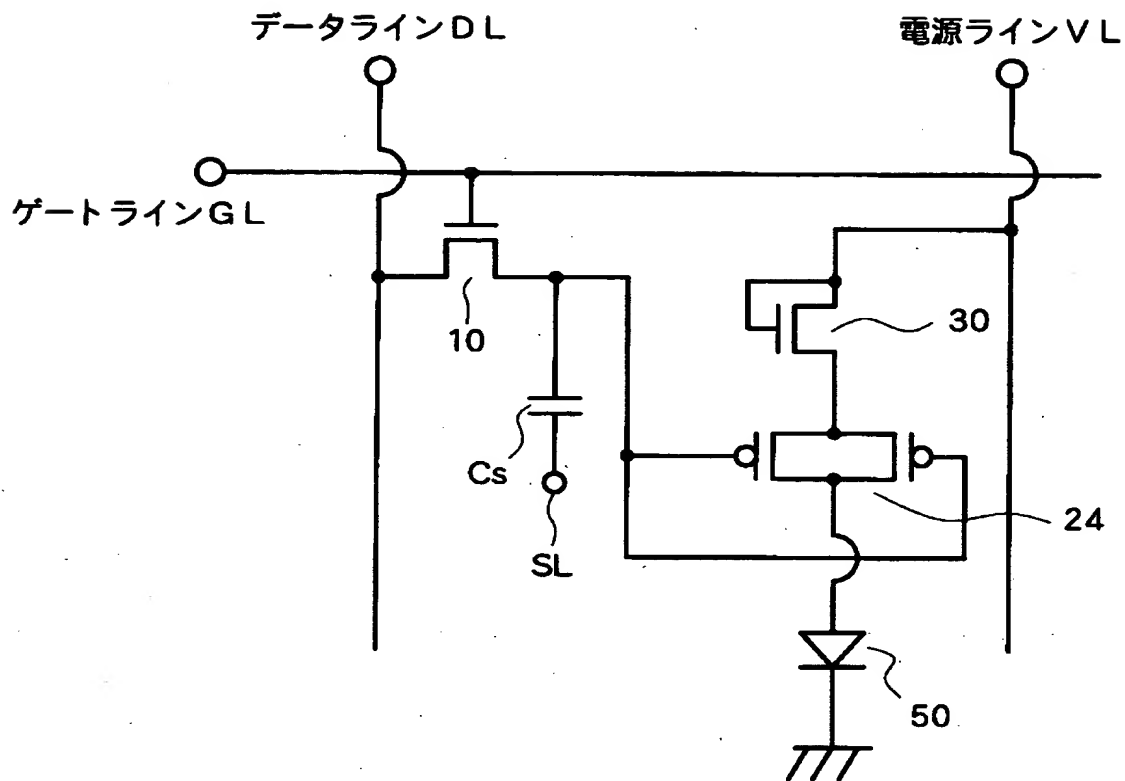


(b)

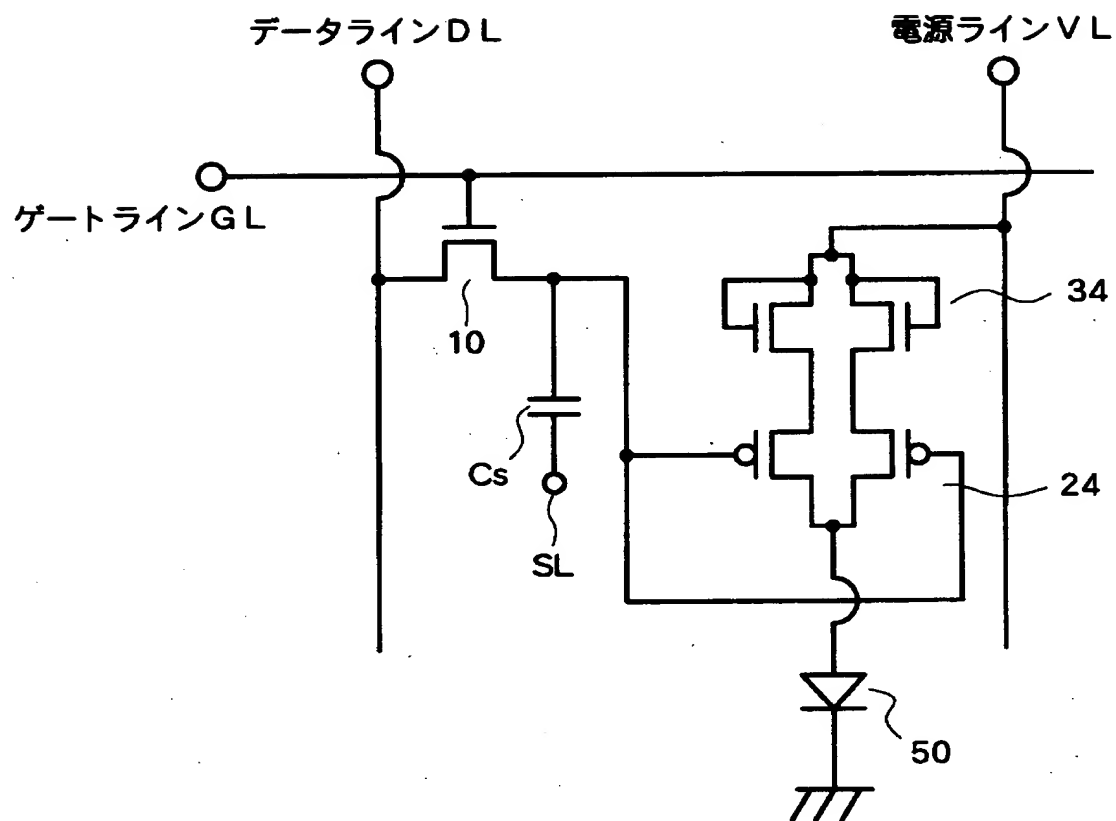
【図 4】



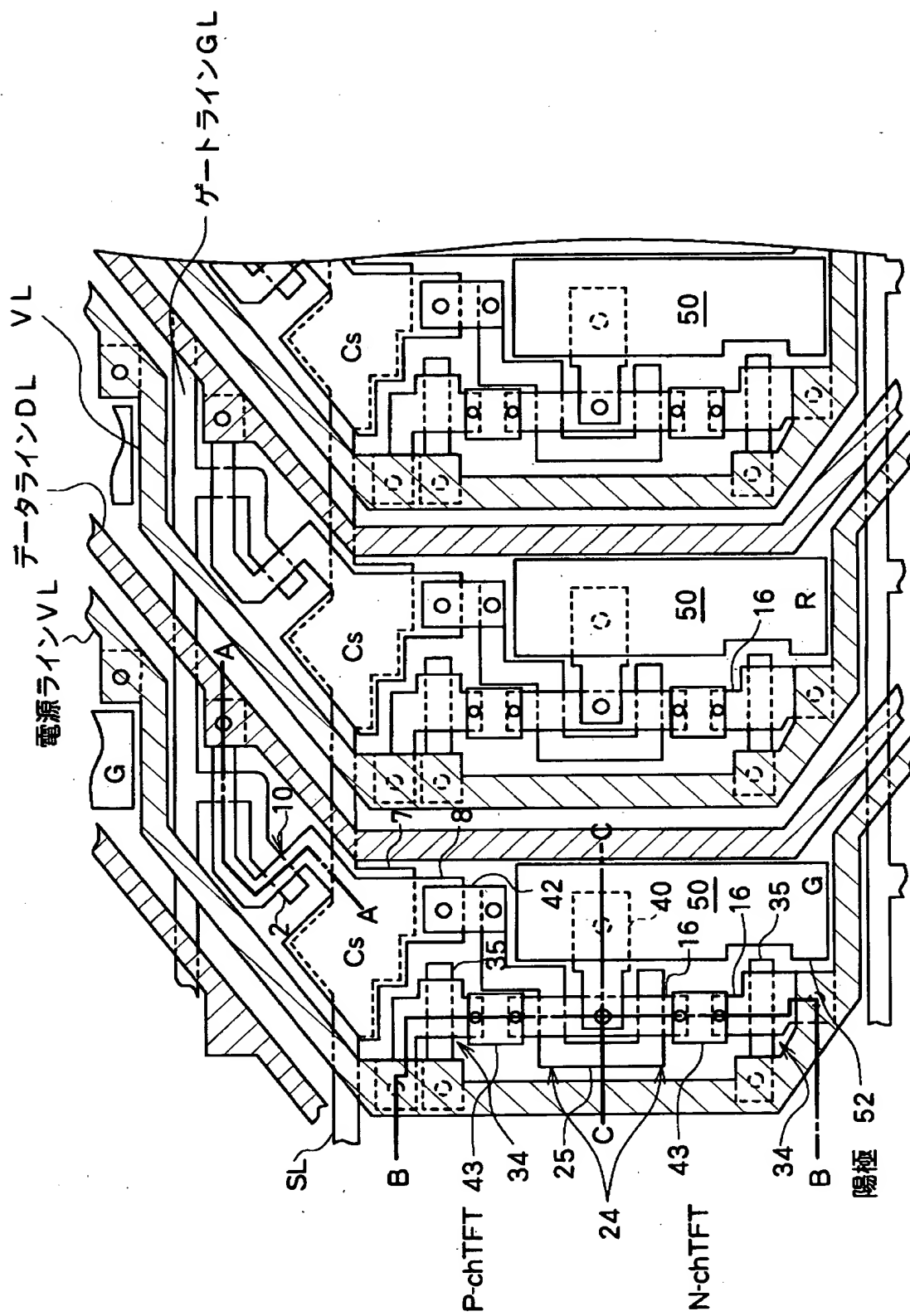
【図 5】



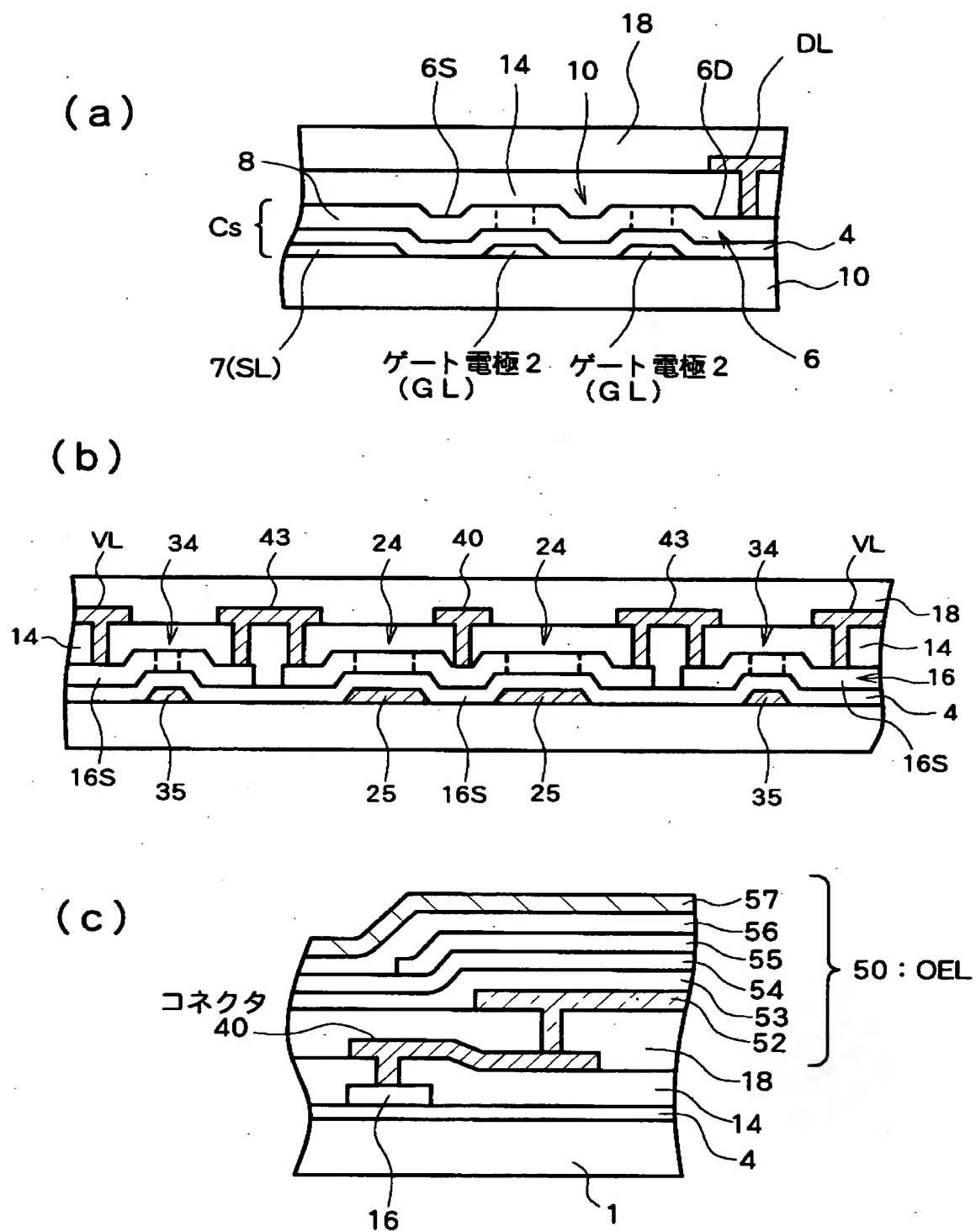
【図 6】



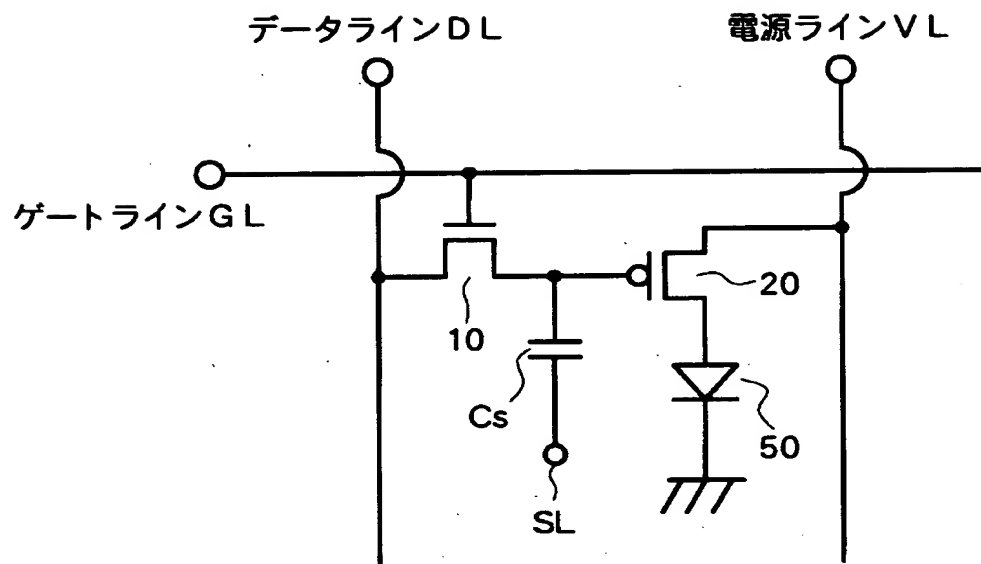
【图 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 マトリクス配置された各有機 E L 素子への供給電流ばらつきを低減する。

【解決手段】 陽極、陰極間に有機発光層等を備える E L 素子 5 0 と、ゲート信号をゲートに受けて動作し、データ信号を取り込むスイッチング用 T F T 1 0、電源ライン V L と E L 素子との間に設けられ、前記スイッチング用 T F T 1 0 から供給されるデータ信号に応じ、電源ライン V L から E L 素子 5 0 に供給する電流を制御する素子駆動用 T F T 2 0 を、各画素に有する。さらに、電源ライン V L と素子駆動用 T F T 2 0 との間に、ダイオード接続された、素子駆動用 T F T 2 0 と逆導電特性の補償用薄膜トランジスタ 3 0 を設ける。

【選択図】 図 1

出 願 人 履 歷 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社